

PAT-NO: JP406151353A
DOCUMENT- JP 06151353 A
IDENTIFIER:
TITLE: MANUFACTURE OF ELECTRODE AND MANUFACTURE OF SEMICONDUCTOR
ELEMENT USING THEREOF

PUBN-DATE: May 31, 1994

INVENTOR-INFORMATION:

NAME	COUNTRY
ISHIDA, MAMORU	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
RICOH CO LTD N/A	

APPL-NO: JP04317709

APPL-DATE: November 2, 1992

INT-CL (IPC): H01L021/28 , H01L029/62

ABSTRACT:

PURPOSE: To prevent the cohesion and the exfoliation of a silicon layer on a polysilicon layer in a posterior thermal process even when the line width of a gate electrode becomes thin in the formation of a polycide structure.

CONSTITUTION: When a polycide structure is formed by laminating a silicide layer (e.g. a layer composed of WSi₂ TiSi₂ or the like) 14 on a polysilicon layer 13, the average surface roughness of the polysilicon layer 13 is set at 1nm or lower. Thereby, even when the polycide structure is formed and a gate electrode 15 is formed, it is possible to prevent the cohesion and exfoliation, of the silicide layer 14, which are caused by the thin line width of the gate electrode 15 or an increase in a sheet resistance.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-151353

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H01L 21/28	301 D	7376-4M		
29/62	G	7376-4M		

審査請求 未請求 請求項の数8(全7頁)

(21)出願番号 特願平4-317709

(22)出願日 平成4年(1992)11月2日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 石田 守

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

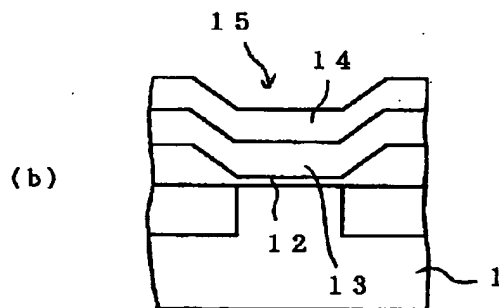
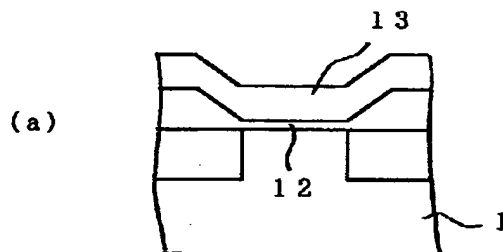
(74)代理人 弁理士 植本 雅治

(54)【発明の名称】 電極の製造方法およびそれを用いた半導体素子の製造方法

(57)【要約】

【目的】 ポリサイド構造の形成においてゲート電極の線幅が細くなる場合にも、後の熱工程でポリシリコン上のシリサイドが凝集したり剥離したりするのを防止可能である。

【構成】 ポリシリコン層13上にシリサイド層(例えば WSi_2 あるいは $TiSi_2$ などの層)14を積層してポリサイド構造の形成を行なう際に、本発明では、ポリシリコン層13の平均表面粗さが1nm以下になっている。これにより、ポリサイド構造を形成しゲート電極15を作製する場合にも、ゲート電極15の線幅が細くなることによって生ずるシリサイド層14の凝集や剥離あるいはシート抵抗の増加等を防止できる。



【特許請求の範囲】

【請求項1】 ポリサイド構造の電極を作製する電極の製造方法であって、ポリシリコン層を平均表面粗さが1 nm以下に形成する工程と、該ポリシリコン層上にシリサイド層または金属層を形成する工程とを有していることを特徴とする電極の製造方法。

【請求項2】 サリサイドプロセスにより電極を作製する電極の製造方法であって、ポリシリコン層を平均表面粗さが1 nm以下に形成する工程と、該ポリシリコン層上に金属層を形成する工程と、ポリシリコン層上に金属層を形成した後、シリサイド層を形成する工程とを有していることを特徴とする電極の製造方法。

【請求項3】 請求項1または請求項2記載の電極の製造方法において、前記ポリシリコン層は、LPCVD法により低温成膜されるか、またはイオン注入により表面改質されることを特徴とする電極の製造方法。

【請求項4】 請求項1または請求項2記載の電極の製造方法によりゲート電極の作製がなされることを特徴とする半導体素子の製造方法。

【請求項5】 ポリサイド構造の電極を作製する電極の製造方法であって、アモルファスシリコン層を形成する工程と、該アモルファスシリコン層上にシリサイド層または金属層を形成する工程と、アモルファスシリコン層上にシリサイドまたは金属層を形成した後、熱処理を施してアモルファスシリコン層の結晶化とシリサイド化を行なう工程とを有していることを特徴とする電極の製造方法。

【請求項6】 サリサイドプロセスにより電極を作製する電極の製造方法であって、アモルファスシリコン層を形成する工程と、該アモルファスシリコン層上に金属層を形成する工程と、アモルファスシリコン層上に金属層を形成した後、アモルファスシリコン層の結晶化とシリサイド化を行なう工程とを有していることを特徴とする電極の製造方法。

【請求項7】 請求項5または請求項6記載の電極の製造方法において、前記アモルファスシリコン層は、後工程の熱処理による水素等の脱離や凹凸の発生が少なく、LPCVD法やスパッタ法等で形成されることを特徴とする電極の製造方法。

【請求項8】 請求項5または請求項6記載の電極の製造方法によりゲート電極の作製がなされることを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、CMOSデバイスなどにおいて、ポリサイド構造の形成やサリサイドプロセスがなされて作製される電極の製造方法およびそれを用いた半導体素子の製造方法に関する。

【0002】

【従来の技術】 従来、CMOSデバイスを構成するPチ

ヤネルMOSトランジスタ、NチャネルMOSトランジスタのゲート電極には、いずれもN型ポリシリコンが使用されている。しかしながら、微細化に対応するためには、PチャネルMOSトランジスタには表面チャネル形トランジスタが必要であり、これを用いてCMOSデバイスのしきい値電圧を制御するためには、PチャネルMOSトランジスタ、NチャネルMOSトランジスタの各トランジスタのゲート電極をそれぞれP型、N型のポリシリコンからなるデュアルゲート構造にする必要がある。

【0003】ところで、このデュアルゲート構造においてP型とN型のポリシリコンのゲート電極をオーミック的に導通させまた同時に電極抵抗を下げるためには、ゲート電極は、ポリシリコンと低抵抗のシリサイドもしくは金属とを2層にした所謂ポリサイド構造となっているのが良い。また、ゲート電極のみならずCMOSデバイスのコンタクトホール抵抗をシリサイド層を介在させることによって低下させるために、サリサイドプロセスが提案されている。

【0004】

【発明が解決しようとする課題】 しかしながら、上記ポリサイド構造の形成とサリサイドプロセスには、以下の共通の問題点があった。すなわち、ゲート電極の線幅が細くなると、後の熱工程でポリシリコン上のシリサイドが凝集したり剥離したりするという欠点があった。また、ゲート電極の線幅が細くなると、シート抵抗が大きくなるという欠点があった。

【0005】 本発明は、ポリサイド構造の形成やサリサイドプロセスにおける上記欠点を解決するためのものであって、ゲート電極の線幅が細くなる場合にも、後の熱工程でポリシリコン上のシリサイドが凝集したり剥離したりするのを防止し、またシート抵抗が増加するのを防止することの可能な電極の製造方法およびそれを用いた半導体素子の製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】 図1は半導体素子の構成例を示す図である。この半導体素子は、基板1上に、PチャネルMOSトランジスタ2とNチャネルMOSトランジスタ3とが形成され、この2つのトランジスタ2、3により、デュアルゲート構造のCMOSデバイスとして構成されている。なお、PチャネルMOSトランジスタ2、NチャネルMOSトランジスタ3は、その不純物の型がそれぞれP型、N型である以外は互いに全く同じ構造となっているので、以下では、便宜上、このうちの一方、例えばPチャネルMOSトランジスタ2に基づいて説明する。PチャネルMOSトランジスタ2は、基板1にソース10、ゲート11が形成され、また、ゲート酸化膜12を介して、ポリシリコン層13、シリサイド層（例えばWSi₂あるいはTiSi₂などの層）14が

順次に積層されてポリサイド構造のゲート電極15が形成されている。ここで、トランジスタ2とトランジスタ3とのゲート電極がデュアル構造である場合、トランジスタ2、トランジスタ3のポリシリコン層はそれぞれP型、N型となっている。

【0007】また、図1において、トランジスタ2、3間の電気的分離を図るため、フィールド酸化膜19が設けられている。また、層間絶縁膜16の一部にソース電極、ドレイン電極を形成するためにコンタクトホール17、18が形成されている。なお、CMOSデバイスとするためには、トランジスタ2とトランジスタ3との間に既知の電極配線が必要であるが、図においては、簡単のため、この電極配線を省略している。また、サリサイドプロセスがなされる場合には、図1には図示しないが、ポリシリコン層13およびソース10、ドレイン11上に、金属（例えばTi等の材料）が積層され、さらにその上にシリサイド層がセルフアライン形成される。

【0008】図2(a)、(b)は図1の半導体素子において、ポリサイド構造のゲート電極15を形成する製造工程例を示す図である。ポリサイド構造を形成する場合には、先づ、図2(a)に示すように、基板1上にゲート絶縁膜12を介してポリシリコン層13を所定厚さに形成する。しかる後、図2(b)に示すように、このポリシリコン層13の表面上に、シリサイド層（例えば WSi_2 あるいは $TiSi_2$ 層）14を積層することによって、ポリサイド構造のゲート電極15を形成することができる。

【0009】また、図3(a)乃至(c)は、サリサイドプロセスの製造工程例を示す図である。サリサイドプロセスは、前述のように、ゲート電極の他にも、ソース電極、ドレイン電極をオーミック性良く形成するためになされるものであり、サリサイドプロセスでは、先づ、図3(a)に示すように、基板1上にゲート絶縁膜12を介してポリシリコン層13を所定厚さに形成する。次いで、図3(b)に示すように、このポリシリコン層13の表面上に、金属（例えばTi等の材料）20を積層する。また、これと同時に、ソース10、ドレイン11上にも金属（例えばTi等の材料）20を積層する。すなわち、全面に金属20を積層する。次いで、熱処理（アニール）を施して、図3(c)に示すように、ポリシリコン層13の表面を金属20と反応させ、ポリシリコン層13上にシリサイド層（例えば $TiSi_2$ 層）14を形成する。また、これと同時に、ソース10、ドレイン11表面を金属20と反応させ、ソース10、ドレイン11上にもシリサイド層14を形成する。なお、この処理でシリサイド化していない部分については、エッチングにより選択的に除去する。このようにして、サリサイドプロセスがなされる。

【0010】本願の発明者は、ポリサイド構造の形成やサリサイドプロセスによって図2(a)、(b)、ある

いは図3(a)乃至(c)の工程で作製されるゲート電極について、そのポリシリコンの表面性および結晶性等の効果について鋭意研究し、その結果に基づき本発明を完成させた。

【0011】すなわち、本願の発明者は、前述したような従来の欠点を解決するには、ポリシリコン層13上にシリサイド層14や金属層（例えばTi等の材料）20を積層してポリサイド構造の形成やサリサイドプロセスを行なう際に、ポリシリコン層13の平均表面粗さが1nm以下になっていることが必要であることを見出した。なお、ポリシリコン層13の平均表面粗さはAFMによる評価によって求められる。

【0012】ポリシリコン層13の平均表面粗さを小さくする方法としては、LPCVD法による低温成膜やイオン注入による表面改質等が考えられる。例えばLPCVD法による場合、従来LSIプロセスで使用されている625℃の成膜条件で膜厚3000Åのポリシリコン層13を形成するときには、ポリシリコン層13の平均表面粗さは6nm程度である。この表面粗さは、温度・圧力・ガス流量・膜厚等の成膜条件で変化するが、600℃よりも低温になると、温度の低下とともにその値は大幅に小さくなることがわかった。

【0013】従って、LPCVD法による低温成膜によってあるいはイオン注入による表面改質等によって得られた1nm以下の平均表面粗さのポリシリコン層13を用いれば、従来の方法でポリサイド構造の形成やサリサイドプロセスによりゲート電極を作製する場合にも、ゲート電極15の線幅が細くなることによって生ずるシリサイド層14の凝集や剥離あるいはシート抵抗の増加等を防止することが可能である。

【0014】上述した構成例では、従来と同様に、ゲート電極15にポリシリコンを用いているが、本願の発明者は、さらに、ポリシリコンのかわりにアモルファスシリコンを用い、このアモルファスシリコン層上にシリサイドやTi等の金属層を積層し、後工程の熱処理によってアモルファスシリコンの結晶化とシリサイド化を行なうことによって、従来の各問題点を解決することができるを見出した。

【0015】図4はゲート電極の作製においてポリシリコンのかわりにアモルファスシリコンを用いた半導体素子の構成例を示す図である。なお、図4において、図1と対応する箇所には同じ符号を付している。図4を参照すると、この半導体素子は、図1と同様に、基板1上に、PチャネルMOSトランジスタ2とNチャネルMOSトランジスタ3とが形成され、この2つのトランジスタ2、3により、デュアルゲート構造のCMOSデバイスとして構成されているが、この半導体素子では、ゲート電極15が、アモルファスシリコン層を結晶化して形成された結晶化シリコン層23と、結晶化シリコン層23上のシリサイド層（例えば WSi_2 あるいは $TiSi_2$

などの層)14とによるポリサイド構造のものとして形成されている。

【0016】一般に、ポリシリコン中にはボイド等が多数存在することがTEM観察から明らかである一方で、アモルファスシリコンは構造的な緻密性に優れている。この点に着目して、この構成例では、電極の作製時にポリシリコンのかわりに、アモルファスシリコンを用いている。なお、ここで用いられるアモルファスシリコンは、後工程の熱処理によって水素等の脱離や凹凸発生の少ないものが必要であり、このようなアモルファスシリコンは、LPCVD法やスパッタ法等で作製可能である。例えばLPCVD法によりアモルファスシリコンを形成する場合には、成膜温度を500℃程度の低温にすれば、後工程の熱処理によって水素等の脱離や凹凸発生の少ないものが得られる。

【0017】図5(a)乃至(c)は図4の半導体素子においてポリサイド構造のゲート電極15を形成する製造工程例を示す図である。この製造工程例では、先づ、図5(a)に示すように、基板1上にゲート絶縁膜12を介してアモルファスシリコン層23'を所定厚さに形成する。しかる後、図5(b)に示すように、このアモルファスシリコン層23'の表面上に、金属層(例えばWあるいはTi層)14'を積層する。次いで、熱処理を施して、アモルファスシリコン層23'を結晶化し、また、金属層14'と反応させて結晶化シリコン層23とシリサイド層(WSi₂あるいはTiSi₂)14とする。これによって、図5(c)に示すように、ポリサイド構造のゲート電極15を形成することができる。

【0018】また、図6(a)乃至(d)は、サリサイドプロセスの製造工程例を示す図である。サリサイドプロセスでは、先づ、基板1上にゲート絶縁膜12を介してアモルファスシリコン層23'を所定厚さに形成し、次いで、図6(a)に示すように、このアモルファスシリコン層23'をゲート形状にパターン化する。また、この例では、アモルファスシリコン層23'の両側部にさらにサイドウォール24を形成している。次いで、図6(b)に示すように、パターン化されたアモルファスシリコン層23'の表面上に、金属(例えばTi等の材料)20を積層する。また、これと同時に、ソース10、ドレイン11上にも金属(例えばTi等の材料)20を積層する。すなわち、全面に金属20を積層する。次いで、熱処理(アニール)を施して、アモルファスシリコン層23'を結晶化して結晶化シリコン層23と

*し、またこのシリコン層の表面を金属層20と反応させて、シリサイド層(例えばTiSi₂)14とし、シリサイド化していない部分をエッチングにより選択的に除去することによって、図6(c)に示すように、ゲート電極15を形成することができる。

【0019】このように、ポリサイド電極形成やサリサイドプロセスにより電極を作製する場合に、アモルファスシリコンを用いれば、ポリシリコンを用いたときに生じた問題、すなわち、線幅が細くなることによって発生するシリサイドの凝集や剥離あるいはシート抵抗の増加等の問題を抑えることができる。

【0020】なお、上記各構成例では、半導体素子がデュアル構造をもつCMOSデバイスであるとしたが、デュアル構造をもつCMOSデバイスに限らず、種々の半導体素子のゲート電極などにも本発明を適用することができる。

【0021】

【実施例】以下、実施例を説明する。

実施例1

実施例1では、図2(a),(b)に示す工程で半導体素子のゲート電極を作製した。すなわち、先づ、基板1上にフィールド酸化膜19が7000Åの膜厚で形成され、また、ゲート熱酸化膜12が110Åの膜厚で形成された試料に、ポリシリコン層13とシリサイド層14としてのWSi₂層とを順次に積層した。ここで、ポリシリコン層13はLPCVD法により成膜温度を625~560℃の範囲で変化させたものを用いた。また反応ガスにはSiH₄(=145sccm)を用い、成膜時の圧力は0.05torrであった。また、ポリシリコン層13の膜厚は2000Åであり、また薄膜用X線回折装置によって結晶の回折ピーク(110)が確認された。また、シリサイド層14としてのWSi₂層はスパッタ法によって2000Åの膜厚に形成した。次いで、1000℃の熱処理後、ポリシリコン層13とシリサイド層14とからなるポリサイド構造をフォトリソグラフィとエッチングによりパターン化し、ゲート電極15を作製した。

【0022】次表は、上記のようにして作製されたポリシリコン層13の平均表面粗さとゲート電極15のシート抵抗およびシリサイド層14の剥離の有無をまとめたものである。

【0023】

【表1】

成膜温度 (℃)		625	600	580	560
平均表面粗さ (nm)		5~6	1~2	1以下	1以下
シリサイド 剥離の有無	線幅=0.8μm	有	無	無	無
	線幅=0.5μm	有	有	無	無
線幅0.8μmのシート抵抗 (Ω/□)		30	10	8	8

【0024】表1から、ポリシリコン層13が用いられる場合にも、その平均表面粗さを低下させることによって従来の問題が解消されることがわかる。

【0025】実施例2

実施例2では、図5(a)乃至(c)に示す工程で半導体素子のゲート電極を作製した。すなわち、先づ、基板1上にフィールド酸化膜19が7000Åの膜厚に形成され、また、ゲート熱酸化膜12が110Åの膜厚に形成された試料に、アモルファスシリコン層23'と金属層14'としてのTiを順次に積層した。ここで、アモルファスシリコン層23'は、成膜温度を500℃とし、ガスにSi₂H₄(=3000sccm)を用い、また、成膜時圧力を0.1torrとして、LPCVD法により膜厚が2000Åに形成した。このアモルファスシリコン層23'は、薄膜用X線回折およびTEMによっても結晶性は認められなかった。また、Tiからなる金属層14'はスパッタ法によって膜厚が2000Åに形成した。次いで、900℃の熱処理を行なって、アモルファスシリコン層23'を結晶化し、アモルファスシリコン層23'と金属層14'とを、結晶化シリコン層23とシリサイド層(TiSi₂)14とにし、これをフォトリソグラフィとエッチングによりパターン化してゲート電極15を作製した。

【0026】また、これとは別に、比較試料として、アモルファスシリコン層23'の代わりにポリシリコン層13を用いたものを用意した。この比較試料において、ポリシリコン層13は成膜温度625℃で作製したものである。

【0027】次表は、実施例2と比較試料のゲート電極のシート抵抗およびシリサイド層の凝集の有無を示したものである。

【0028】

【表2】

	実施例2	比較試料
シリサイド凝集の有無	無	有
シート抵抗(Ω/□)	20~30	5~10

【0029】表2から、アモルファスシリコンを使用する場合にも、従来の問題が改善されることがわかる。

【0030】

【発明の効果】以上に説明したように、請求項1乃至請

求項4記載の発明によれば、ポリサイド構造の形成またはシリサイドプロセスにおいて、ポリシリコン層を平均表面粗さが1nm以下に形成した上で、このポリシリコン層上にシリサイド層、金属層を形成するようにしているので、電極の線幅が細くなる場合にも、後の熱工程で、ポリシリコン上のシリサイドが凝集したり剥離したりする事態を有効に防止でき、またシート抵抗が大きくなるという事態を有効に防止することができる。

【0031】また、請求項5乃至請求項8記載の発明によれば、ポリサイド構造の形成またはシリサイドプロセスにおいて、アモルファスシリコン層を形成した上で、このアモルファスシリコン層上にシリサイド層または金属層を形成し、アモルファスシリコン層上にシリサイド層または金属層を形成した後、熱処理を施してアモルファスシリコン層の結晶化とシリサイド化を行なうようにしているので、電極の線幅が細くなる場合にも、後の熱工程で、ポリシリコン上のシリサイドが凝集したり剥離したりする事態を有効に防止でき、またシート抵抗が大きくなるという事態を有効に防止することができる。

【図面の簡単な説明】

【図1】半導体素子の構成例を示す図である。

【図2】図1の半導体素子のゲート電極の本発明による第1の作製工程例を示す図である。

【図3】図1の半導体素子のゲート電極の本発明による第2の作製工程例を示す図である。

【図4】ゲート電極の作製において、ポリシリコンのかわりにアモルファスシリコンを用いた半導体素子の構成例を示す図である。

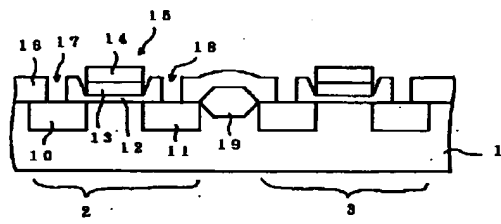
【図5】図4の半導体素子のゲート電極の第1の作製工程例を示す図である。

【図6】図4の半導体素子のゲート電極の第2の作製工程例を示す図である。

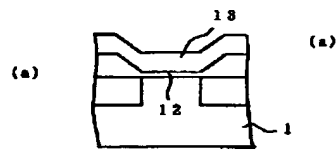
【符号の説明】

- 1 基板
- 12 ゲート酸化膜
- 13 ポリシリコン層
- 14 シリサイド層
- 15 ゲート電極
- 20 金属層
- 23' アモルファス層
- 23 結晶化シリコン層

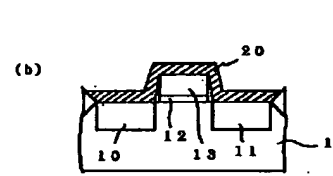
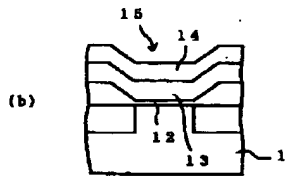
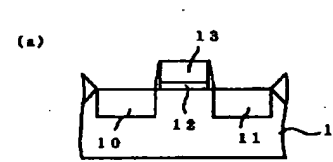
【図1】



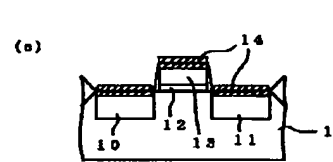
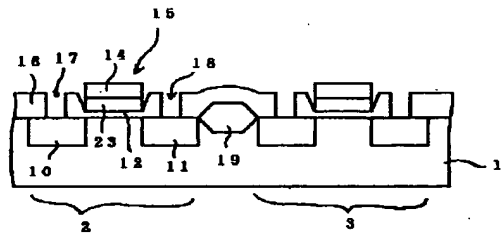
【図2】



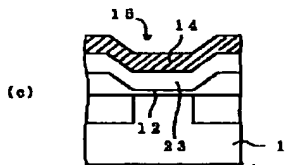
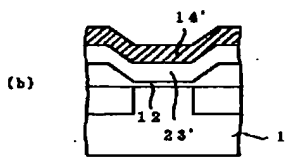
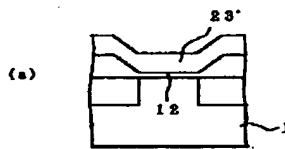
【図3】



【図4】



【図5】



【図6】

